

中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申請日：西元 2002 年 12 月 03 日
Application Date

申請案號：091135067
Application No.

申請人：威盛電子股份有限公司
Applicant(s)

局長
Director General

蔡練生

發文日期：西元 2003 年 1 月 16 日
Issue Date

發文字號：09220047570
Serial No.

| | |
|-------|-------|
| 申請日期： | IPC分類 |
| 申請案號： | |

(以上各欄由本局填註)

發明專利說明書

| | | |
|--------------------|-----------------------|---|
| 一、 發明名稱 | 中 文 | 可降低同時切換輸出效應的輸出電路及其控制方法 |
| | 英 文 | Output Circuit and Control Method for Reducing SSO Effect |
| 二、 發明人 (共3人) | 姓 名 (中文) | 1. 魏毅光 2. 張棋 |
| | 姓 名 (英文) | 1. Yi-Kuang Wei 2. Chi Chang |
| | 國 籍 (中英文) | 1. 中華民國 TW 2. 中華民國 TW |
| | 住居所 (中 文) | 1. 北縣新店市中正路533號8樓 2. 台北縣新店市中正路533號8樓 |
| | 住居所 (英 文) | 1. 8Fl., No. 533, Jungjeng Rd., Shindian City, Taipei, Taiwan 231, R.O.C. 2. 8Fl., No. 533, Jungjeng Rd., Shindian City, Taipei, Taiwan 231, |
| 三、 申請人 (共1人) | 名稱或 姓 名 (中文) | 1. 威盛電子股份有限公司 |
| | 名稱或 姓 名 (英文) | 1. VIA TECHNOLOGIES, INC. |
| | 國 籍 (中英文) | 1. 中華民國 ROC |
| | 住居所 (營業所) (中 文) | 1. 北縣新店市中正路533號8樓 (本地址與前向貴局申請者相同) |
| | 住居所 (營業所) (英 文) | 1. 8Fl., No. 533, Jungjeng Rd., Shindian City, Taipei, Taiwan 231, R.O.C. |
| | 代表人 (中文) | 1. 王雪紅 |
| | 代表人 (英文) | 1. Cher Wang |



| | |
|-------|-------|
| 申請日期： | IPC分類 |
| 申請案號： | |

(以上各欄由本局填註)

發明專利說明書

| | | |
|--------------------|---------------------------|---|
| 一、 發明名稱 | 中 文 | |
| | 英 文 | |
| 二、 發明人 (共3人) | 姓 名 (中 文) | 3. 何桓蓁 |
| | 姓 名 (英 文) | 3. Heng-Chen Ho |
| | 國 籍 (中 英 文) | 3. 中華民國 TW |
| | 住 居 所 (中 文) | 3. 台北縣新店市中正路533號8樓 |
| | 住 居 所 (英 文) | 3. 8Fl., No. 533, Jungjeng Rd., Shindian City, Taipei, Taiwan 231, R.O.C. |
| 三、 申請人 (共1人) | 名稱或 姓 名 (中 文) | |
| | 名稱或 姓 名 (英 文) | |
| | 國 籍 (中 英 文) | |
| | 住 居 所 (營 業 所) (中 文) | |
| | 住 居 所 (營 業 所) (英 文) | |
| | 代 表 人 (中 文) | |
| | 代 表 人 (英 文) | |



四、中文發明摘要 (發明名稱：可降低同時切換輸出效應的輸出電路及其控制方法)

本發明係提出一種可降低同時切換輸出 (Simultaneously Switching Outputs, 以下簡稱SSO) 效應的輸出電路及其控制方法。本發明包括一比較電路用以比較前後二筆輸出資料的差異程度，並且輸出延遲訊號，而輸出電路內的延遲單元會根據延遲訊號來決定每一位元訊號之切換時間點，用以達到所有的輸出訊號約可在同一時間點開始切換，因此可降低SSO效應所造成偏斜(Skew)過大的問題。

伍、(一)、本案代表圖為：第3圖(a) (二)、本案代表圖之元件代表符號簡單說明：

110~1n0 輸出緩衝器

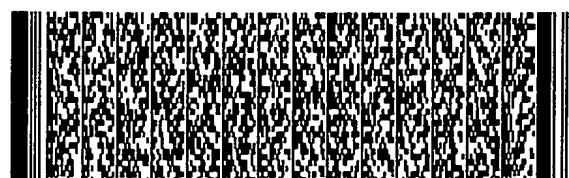
112 上推單元

114 下推單元

116 延遲單元

陸、英文發明摘要 (發明名稱：Output Circuit and Control Method for Reducing SSO Effect)

An output circuit and a control method for reducing the SSO (Simultaneously Switching Outputs) effect are disclosed. A comparing circuit is used to distinguish two adjacent data, and output a delay signal accordingly. The delay element in the output circuit determines the timing for switching each bit signal according to the delay signal, thereby converging the switching

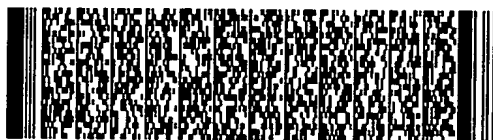


四、中文發明摘要 (發明名稱：可降低同時切換輸出效應的輸出電路及其控制方法)

| | |
|----|------|
| 80 | 比較電路 |
| 82 | 控制信號 |
| 84 | 延遲訊號 |

陸、英文發明摘要 (發明名稱：Output Circuit and Control Method for Reducing SS0 Effect)

timing of all the output signals. By this way, the significant skew problem resulting from the SS0 effect can be diminished.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

☐熟習該項技術者易於獲得，不須寄存。



五、發明說明 (1)

發明所屬之技術領域

本發明是有關於一種輸出電路，且特別是有關於一種可降低同時切換輸出(Simultaneously Switching Outputs，以下簡稱SSO)效應的輸出電路及其控制方法。

先前技術

科技不斷在進步，中央處理單元的操作速度越來越快。相對地，晶片組的搭配以及外部主機板電路的佈線設計越來越重要。無論資料或者指令的傳遞都必須更注意時序(Timing)上的微小差異。

舉例來說，請參照第1圖，其所繪示為習知積體電路內的輸出電路。以第一位元(bit1)訊號所連接的輸出緩衝器10來說，第一位元訊號連接至上推單元(Pull-Up Unit，PU)12以及下推單元(Pull-Down Unit，PD)14，而上推單元12與下推單元14串聯於一電源電壓(V_{ss})與一接地電壓(Gnd)之間，而上推單元12與下推單元14連接的節點即為第一輸出端(I01)。當第一位元為高準位時，上推單元12被驅動，下推單元14關閉，因此第一輸出端輸出高準位，反之，當第一位元為低準位時，下推單元14被驅動，上推單元12關閉，因此第一輸出端輸出低準位。同理，其他的輸出緩衝器20~n0的動作原理也都相同。

由於習知所有的輸出緩衝器係連接至共同的電源電壓

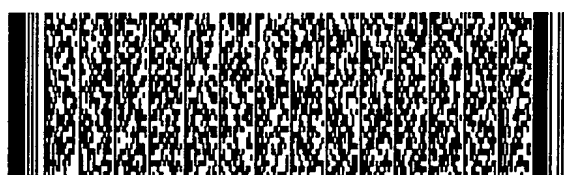
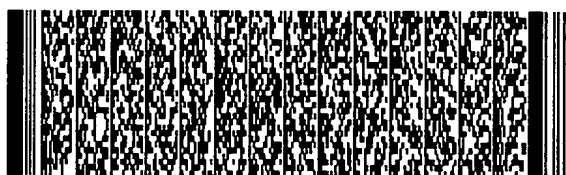


五、發明說明 (2)

(Vss) 與接地電壓(Gnd)，因此當輸出端發生變化時，就產生SSO效應。此SSO效應即是輸出端的狀態轉換時，電源電壓(Vss)以及接地電壓(Gnd)所產生的彈跳(Bounce)雜訊所導致。由於輸出緩衝器在輸出端的狀態轉換時大電流流經導線(Bounding Wires)、導線架(Leadframe)與針腳(Pin)等寄生電感(Parasitic Inductance)則成為主要的電源/接地彈跳雜訊。

請參照第2(a)至2(c)圖，其所繪示為習知位元訊號在輸出端狀態轉換時的波形變化示意圖。如第2(a)圖所示，在最佳狀況時，輸出端由高準位切換至低準位的位元數目與低準位切換至高準位的位元數目相等時，此時的SSO效應影響最小，亦即高準位切換至低準位的時間點與低準位切換至高準位的時間點約略相等，此時輸出端有最小的偏斜(Skew)。

如第2(b)圖所示，在較差的狀況時，輸出端由高準位切換至低準位的位元數目小於低準位切換至高準位的位元數目。此時的SSO效應較大，亦即高準位切換至低準位的時間點會快於低準位切換至高準位的時間點。由圖中可知，低準位切換至高準位的時間點會較第2(a)圖之最佳狀況延後 $\Delta t1$ 的時間，而高準位切換至低準位的時間點會較第2(a)圖之最佳狀況超前 $\Delta t3$ 的時間。此時輸出端有較大的偏斜。當高準位切換至低準位的位元數目遠小於低準位切換至高準位的位元數目時， $\Delta t1$ 與 $\Delta t3$ 的時間會更長，偏斜也會更大。



五、發明說明 (3)

同理，如第2(c)圖所示，在較差的狀況時，輸出端高準位切換至低準位的位元數目大於低準位切換至高準位的位元數目。此時的SSO效應較大，亦即高準位切換至低準位的時間點慢於低準位切換至高準位的時間點。由圖中可知，高準位切換至低準位的時間會較第2(a)圖之最佳狀況延後 Δt_2 的時間，而低準位切換至高準位的時間會較第2(a)圖之最佳狀況超前 Δt_4 的時間，此時輸出端有較大的偏斜。當高準位切換至低準位的位元數目遠大於低準位切換至高準位的位元數目時， Δt_2 與 Δt_4 的時間會更長，偏斜也會更大。

在習知，輸出緩衝器之輸出端所連接的匯流排其操作速度不快時，這些SSO效應所形成的偏斜尚可忽略，亦不會影響整個電腦或同步系統的整體效能。然而，在匯流排速度不斷的提昇之下，SSO效應所造成的偏斜有可能因為時序的微小差異導致整個系統存取錯誤的資料或者電腦系統當機的事情發生。因此，如何減少SSO效應所造成的偏斜進而提昇電腦系統的整體效能極為本發明的重點。

發明內容

本案係為一種可降低同時切換輸出效應的輸出電路，用以處理包含有複數個位元訊號的一輸出資料，包括：複數個輸出緩衝器，每一該輸出緩衝器包含一延遲單元、一上推單元與一下推單元，該延遲單元連接至該上推單元與



五、發明說明 (4)

該下推單元，且該上推單元與該下推單元串聯於一電源壓與一接地電壓之間，而該上推單元與該下推單元所連接的一節點即為一輸出端，其中，每一該位元的訊號可對應至該一些輸出緩衝器其中之一，且連接至對應的該輸出緩衝器內該延遲單元；以及一比較電路，該比較電路接收該輸出資料並與上推輸出緩衝器內該些延遲單元。輸出至該些輸出緩衝器內該些延遲單元。

根據上述構想，本案所述之可降低同時切換輸出效應的輸出電路，其中當一高準位切換至一低準位的位元訊號數目大於該低準位切換至該高準位的該些位元訊號數目時，延遲該低準位後輸出，且延遲該高準位所有該些位元訊號在該低準位上推延該些位元訊號在一下推延時間。其中該上推延遲時間大於該下推延遲時間。

根據上述構想，本案所述之可降低同時切換輸出效應的輸出電路，其中該上推延遲時間與該下推延遲時間係用約等於該高準位切換至該低準位的時間點。

根據上述構想，本案所述之可降低同時切換輸出效應的輸出電路，其中該上推延遲時間為一基本延遲時間加一第一偏移時間，該下推延遲時間為該基本延遲時間減一第二偏移時間。

根據上述構想，本案所述之可降低同時切換輸出效應的輸出電路，其中當一低準位切換至一高準位的位元訊號

五、發明說明 (5)

數目大於該高準位切換至該低準位的位元訊號數目時，
 遲該高準位切換至該低準位的所有該些位元訊號在一下推
 延遲時間後輸出，且延遲該低準位切換至該高準位的所有
 該些位元訊號在一上推延遲時間後輸出，其中下推延遲時
 間大於該上推延遲時間。

根據上述構想，本案所述之可降低同時切換輸出效應的輸出電路，其中該下推延遲時間與該上推延遲時間係用約等於該低準位切換至該高準位的時間點。

根據上述構想，本案所述之可降低同時切換輸出效應的輸出電路，其中該下推延遲時間為該基本延遲時間加一第三偏移時間，該上推延遲時間為該基本延遲時間減一第四偏移時間。

[illegible]

根據上述構想，本案所述之可降低同時切換輸出效應的輸出電路，其中該控制信號係代表當輸出訊號中高準位



五、發明說明 (7)

根據上述構想，本案所述之可降低同時切換輸出效的輸出電路，其中當第一上推延遲時間大於該第一下推延遲時間時，該第一上推延遲時間為一基本延遲時間加一第一偏移時間，該第一下推延遲時間為該基本延遲時間減一第二偏移時間。

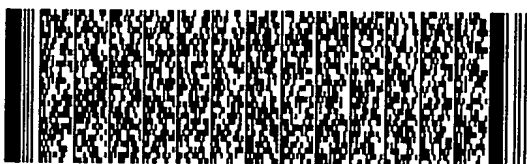
根據上述構想，本案所述之可降低同時切換輸出效應的輸出電路，其中當第二下推延遲時間大於該第二上推延遲時間時，該第二下推延遲時間為該基本延遲時間加一第三偏移時間，該第二上推延遲時間為該基本延遲時間減一第四偏移時間。

根據上述構想，本案所述之可降低同時切換輸出效應之輸出資料的控制方法，其中延遲該低準位切換至該高準位的該所有該些位元訊號該第一或第二上推延遲時間後輸出與延遲該高準位切換至該低準位的該所有該些位元訊號該第一或第二下推延遲時間後輸出，用使得該些位元訊號中該低準位切換至該高準位的時間點約等於該高準位切換至該低準位的時間點。

為讓本發明之上述目的、徵、和優點能更明顯易懂，下文特舉較佳實施例，並配合所附圖式，作詳細說明如下：

第1圖其所繪示為習知積體電路內的輸出電路；

第2(a)至2(c)圖，其所繪示為習知位元訊號在輸出端狀態轉換時的波形變化示意圖；



五、發明說明 (8)

第3圖(a)(b)其所繪示為本發明可降低同時切換輸出效應的輸出電路及其內部電路；

第4圖其所繪示為可調整延遲電路的一實施例；以及

第5(a)至5(c)圖其所繪示為本發明位元訊號輸出狀態轉換時的波形變化示意圖。

標號說明：

| | |
|----------|---------|
| 10~n0 | 輸出緩衝器 |
| 12 | 上推單元 |
| 14 | 下推單元 |
| 110~1n0 | 輸出緩衝器 |
| 112 | 上推單元 |
| 114 | 下推單元 |
| 116 | 延遲單元 |
| 30 | 加減法器 |
| 31 | 可調整延遲電路 |
| 32 | 輸出 |
| 80 | 比較電路 |
| 82 | 控制信號 |
| 84 | 延遲訊號 |
| 92、94、96 | 緩衝器 |
| 98 | 多工器 |

實施方式



五、發明說明 (9)

請參照第3圖(a)，其所繪示為本發明可降低同時切換輸出效應的輸出電路。以第一位元(bit1)訊號所連接的第一輸出緩衝器110來說，第一位元訊號連接至延遲單元(PU Delay Element)116，延遲單元(PU Delay Element)116再連接至上推單元(Pull-Up Unit, PU)112與下推單元(Pull-Down Unit, PD)114，而上推單元112與下推單元114串聯於一電源電壓(Vss)與一接地電壓(Gnd)之間，而上推單元112與下推單元114連接的節點即為第一輸出端(I01)。同理，第二位元訊號至第n位元訊號都有相對應的輸出緩衝器120~1n0。每一個輸出緩衝器內皆有一延遲單元、上推單元與下推單元。

至於比較電路80係接收第一位元訊號(bit 1)至第n位元(bit n)的訊號而產生控制信號82與延遲訊號(PD Delay Signal)84，其中控制信號82係代表當高準位切換至低準位的位元訊號數目大於或小於低準位切換至高準位的位元訊號數目之狀態(例如當高準位切換至低準位的位元訊號數目大於低準位切換至高準位的位元訊號數目時，控制信號82為低準位，而當高準位切換至低準位的位元訊號數目小於低準位切換至高準位的位元訊號數目時，控制信號82為高準位)。至於延遲訊號(PD Delay Signal)84則用以控制輸出緩衝器中的延遲單元之延遲時間，使得每一位元訊號都必須根據延遲訊號所指定的延遲時間進行延遲後才會輸入至上推單元與下推單元中。



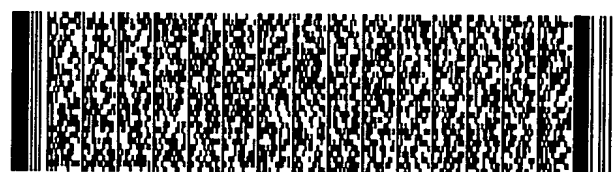
五、發明說明 (10)

再請參見第3圖(b)，其係上述延遲單元116之內部方塊示意圖，主要包含有一加減法器30以及一可調整延遲電路31，其中加減法器30係根據比較電路80所發出之控制信號82與輸出訊號中相對應位元(bit n)之控制而進行加法或減法之切換，另外，比較電路80所產生之延遲訊號(PD Delay Signal)84亦被送至該加減法器30進行處理。

由習知的電路分析可知，當輸出資料在狀態轉換時會產生SSO效應，導致較大的偏斜(Skew)。舉例來說，輸出資料由高準位切換至低準位的位元數目小於低準位切換至高準位的位元數目時，低準位切換至高準位的時間點會較最佳狀況延後 $\Delta t1$ 的時間，而高準位切換至低準位的時間點會較最佳狀況超前 $\Delta t3$ 的時間(如第2(b)所示)。同理，輸出資料由高準位切換至低準位的位元數目大於低準位切換至高準位的位元數目時，高準位切換至低準位的時間點會較正常延後 $\Delta t2$ 的時間，低準位切換至高準位的時間點會較正常超前 $\Delta t4$ 的時間(如第2(c)所示)。

因此，第3圖(a)中的比較電路80係用來比較新的輸出訊號與前一筆輸出訊號之間所有位元訊號的變化狀態。以下舉例說明：

(I)當新的輸出訊號與前一筆輸出訊號經比較結果發現高準位切換至低準位的位元數目小於低準位切換至高準位的位元數目，以8位元資料為例，假如位元0至位元6係由低準位切換至高準位，而位元7由高準位切換至低準位時，所有之加減法器從比較電路所接收到之控制信號將處



五、發明說明 (11)

於高準位(即邏輯"1")，而位元0至位元6之加減法器從輸出訊號中相對應位元所接收到的資料亦為高準位(即邏輯"1")，至於位元7之加減法器從輸出訊號中相對應位元所接收到的資料則為低準位(即邏輯"0")。而加減法器係根據下列表一進行加減法之切換。

表一

| 控制信號(82) | 輸出訊號(bit n) | 加減法器之動作 |
|----------|-------------|---------|
| 1 | 1 | 減法 |
| 0 | 1 | 加法 |
| 1 | 0 | 加法 |
| 0 | 0 | 減法 |

而延遲訊號(PD Delay Signal)84用以控制輸出緩衝器中的延遲單元之延遲時間。以8位元資料為例，當低準位切換至高準位的位元數目大於高準位切換至低準位的位元數目超出一定值以上(例如超出2個以上)時，延遲訊號(PD Delay Signal)84係輸出高準位(即邏輯"1")，反之，當低準位切換至高準位的位元數目大於高準位切換至低準位的位元數目並未超出一定值以上(例如超出2個以上)時，延遲訊號(PD Delay Signal)84係輸出低準位(即邏輯"0")。如此一來，在上例中，位元0至位元6之加減法器將對預設值(本例輸入為10)與延遲訊號(此時為邏輯"1")進行減法運算後得致一結果(此時輸出32為01)而輸出至可調整延遲電路31，使得可調整延遲電路31提供一第二短之延遲時間



五、發明說明 (12)

(基本延遲時間 t 減 Δt ，亦即， $t - \Delta t$)，而位元7之加減器將對預設值(本例輸入為10)與延遲訊號(此時為邏輯"1")進行加法運算後得致一結果(此時輸出32為11)而輸出至可調整延遲電路31，使得可調整延遲電路31提供一最長之延遲時間(基本延遲時間 t 加 Δt ，亦即， $t + \Delta t$)。由於在本例中，低準位切換至高準位的位元數目較多，所以在SS0效應下，原本低準位切換至高準位的時間點會延後($\Delta t1$)，高準位切換至低準位的時間會超前($\Delta t3$)，但經過上述之補償調整後，高準位切換至低準位與低準位切換至高準位的時間點可以大約同時發生。

而假如位元0至位元1係由低準位切換至高準位，位元2至位元6之準位維持不變，而位元7由高準位切換至低準位時，所有之加減法器從比較電路所接收到之控制信號82亦處於高準位(即邏輯"1")，而位元0至位元1之加減法器從輸出訊號中相對應位元所接收到的資料亦為高準位(即邏輯"1")，而位元7之加減法器從輸出訊號中相對應位元所接收到的資料則為低準位(即邏輯"0")。至於延遲訊號(PD Delay Signal)84則輸出低準位(即邏輯"0")。如此一來，位元0至位元1之加減法器將對預設值(本例輸入為10)與延遲訊號(此時為邏輯"0")進行減法運算後得致一結果(此時輸出32為10)而輸出至可調整延遲電路31，使得可調整延遲電路31提供一基本延遲時間(t)，位元2至位元6之準位不變，因此並無影響。至於位元7之加減法器將對預設值(本例輸入為10)與延遲訊號(此時為邏輯"0")進行加



五、發明說明 (13)

法運算後得致一結果(此時輸出32為10)而輸出至可調整延遲電路31，使得可調整延遲電路31亦提供一基本延遲時間(t)。由於此例中，高準位切換至低準位與低準位切換至高準位之位元數相差不大，因此SS0效應並不大，故本實施例手段於此時並未進行時間點之調整。

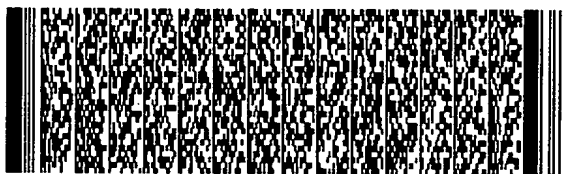
(II)當新的輸出訊號與前一筆輸出訊號經比較結果發現高準位切換至低準位的位元數目大於低準位切換至高準位的位元數目，以8位元資料為例，假如位元0至位元6係由高準位切換至低準位，而位元7由低準位切換至高準位時，所有之加減法器從比較電路所接收到之控制信號82將處於低準位(即邏輯"0")，而位元0至位元6之加減法器從輸出訊號中相對應位元所接收到的資料亦為低準位(即邏輯"0")，至於位元7之加減法器從輸出訊號中相對應位元所接收到的資料則為高準位(即邏輯"1")。而加減法器係根據上列表一進行加減法之切換，至於延遲訊號(PD Delay Signal)84用以控制輸出緩衝器中的延遲單元之延遲時間。以8位元資料為例，當高準位切換至低準位的位元數目大於低準位切換至高準位的位元數目超出一定值以上(例如超出2個以上)時，延遲訊號(PD Delay Signal)84係輸出高準位(即邏輯"1")，反之，高準位切換至低準位的位元數目大於低準位切換至高準位的位元數目並未超出一定值以上(例如超出2個以上)時，延遲訊號(PD Delay Signal)84係輸出低準位(即邏輯"0")。如此一來，位元0至位元6之加減法器將對預設值(本例輸入為10)與延遲訊



五、發明說明 (14)

號(此時為邏輯"1")進行減法運算後得致一結果(此時輸出32為01)而輸出至可調整延遲電路31，使得可調整延遲電路31提供一較短之延遲時間(基本延遲時間 t 減 Δt ，亦即， $t - \Delta t$)，而位元7之加減法器將對預設值(本例輸入為10)與延遲訊號(此時為邏輯"1")進行加法運算後得致一結果(此時輸出32為11)而輸出至可調整延遲電路31，使得可調整延遲電路31提供一最長之延遲時間(基本延遲時間 t 加 Δt ，亦即， $t + \Delta t$)。由於在本例中，低準位切換至高準位的位元數目較多，所以在SSO效應下，低準位切換至高準位的時間點會延後($\Delta t1$)，高準位切換至低準位的時間會超前($\Delta t3$)。但經過上述之補償調整後，高準位切換至低準位與低準位切換至高準位的時間點可以調整成大約同時發生。

而假如位元0至位元1係由高準位切換至低準位，位元2至位元6之準位維持不變，而位元7由低準位切換至高準位時，所有之加減法器從比較電路所接收到之控制信號82亦處於高準位(即邏輯"1")，而位元0至位元1之加減法器從輸出訊號中相對應位元所接收到的資料亦為低準位(即邏輯"0")，而位元7之加減法器從輸出訊號中相對應位元所接收到的資料則為高準位(即邏輯"1")。至於延遲訊號(PD Delay Signal)84則輸出低準位(即位元"0")。如此一來，位元0至位元1之加減法器將對預設值(本例為10)與延遲訊號(此時為邏輯"0")進行減法運算後得致一結果(此時為10)而輸出至可調整延遲電路31，使得可調整延遲電路31提供一基本延遲時間(t)，位元2至位元6之準位不變，

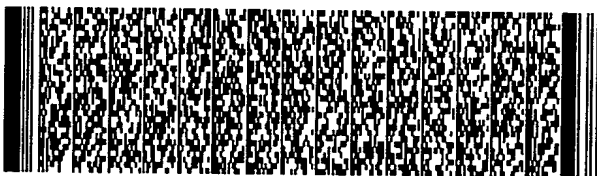


五、發明說明 (15)

因此並無影響。至於位元7之加減法器將對預設值(本例10)與延遲訊號(此時為邏輯"0")進行加法運算後得致一選擇訊號(此時為10)而輸出至可調整延遲電路31，使得可調整延遲電路31亦提供一基本延遲時間(t)。由於此例中，高準位切換至低準位與低準位切換至高準位之位元數相差不大，因此SS0效應並不大，故本實施例手段於此時並未進行時間點之調整。

(III)至於新的輸出訊號與前一筆輸出訊號經比較結果發現高準位切換至低準位的位元數目等於低準位切換至高準位的位元數目時，基本上將無SS0效應，因此比較電路所提供的延遲訊號使所有延遲單元進行一基本延遲時間 t 之延遲即可。

請參照第4圖，其所繪示為可調整延遲電路31的一實施例。在此可調整延遲電路31中，位元訊號(bit)輸入至第一個緩衝器92，而三個緩衝器92、94、96串接在一起，第三個緩衝器96輸出端連接至多工器98的"11"輸入端，第二個緩衝器94輸出端連接至多工器98的"10"輸入端，第一個緩衝器92輸出端連接至多工器98的"01"輸入端，位元訊號連接至多工器98的"00"輸入端。由於每個緩衝器都會延遲一特定時間，因此由加減法器運算後所得之一2位元選擇訊號可以選擇多工器98中任一個輸入端的訊號來輸出(Out)，亦即"11"端可輸出延遲最多時間的位元訊號，依此類推，"00"端可輸出延遲最少時間的位元訊號。假設將多工器98的"10"輸入端所延遲的時間視為基本延遲時



五、發明說明 (16)

間。如果需要位元訊號的延遲較基本延遲時間短，則可選擇"00"或者"01"輸入端的訊號來作輸出。反之，如果需要位元訊號的延遲較基本延遲時間長，則選擇訊號可選擇"11"輸入端的訊號來作輸出。當然，本可調整延遲電路31僅為一實施例，在實際的應用上，可提出更多輸入端的多工器以及更多緩衝器串聯所組成之可調整延遲電路31，用以因應更精細之延遲調整需求。

請參照第5(a)至5(c)圖，其所繪示為本發明位元訊號輸出狀態轉換時的波形變化示意圖。如第5(a)圖所示，在最佳狀況時，輸出端由高準位切換至低準位的位元數目與低準位切換至高準位的位元數目相等，此時的上推延遲訊號與下推延遲訊號所代表的上推延遲時間與下推延遲時間相等皆為基本延遲時間 t ，亦即高準位切換至低準位的時間點與低準位切換至高準位的時間點相同一起延後基本延遲時間 t ，可得到最小偏斜的輸出訊號。

如第5(b)圖所示，當輸出端由高準位切換至低準位的位元數目小於低準位切換至高準位的位元數目時，此時的SSO效應會使得低準位切換至高準位的時間點較正常延後 $\Delta t1$ 的時間，高準位切換至低準位的時間點較正常超前 $\Delta t3$ 的時間，此時的上推延遲訊號可延遲 $t + \Delta t3$ 的上推延遲時間，下推延遲訊號可延遲 $t - \Delta t1$ 的下推延遲時間。因此，高準位切換至低準位的時間點與低準位切換至高準位的時間點相同，即可得到最小偏斜的輸出訊號。

如第5(c)圖所示，當輸出端由高準位切換至低準位的



五、發明說明 (17)

位元數目大於低準位切換至高準位的位元數目時，此時SSO效應會使得高準位切換至低準位的時間點較正常延後 Δt_2 的時間，低準位切換至高準位的時間點較正常超前 Δt_4 的時間，此時的上推延遲訊號可延遲 $t + \Delta t_4$ 的上推延遲時間，下推延遲訊號可延遲 $t - \Delta t_2$ 的下推延遲時間。因此，高準位切換至低準位的時間點與低準位切換至高準位的時間點相同，即可得到最小偏斜的輸出訊號。

本發明的優點係提出係提出一種可降低同時切換輸出效應的輸出電路及其控制方法。利用比較電路來比較前後二筆輸出資料，並延遲高準位切換至低準位的時間點或者低準位切換至高準位的時間點，達到高準位切換至低準位的時間點與低準位切換至高準位的時間點相同，進而降低SSO效應所產生之偏斜的問題。

綜上所述，雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



圖式簡單說明

第1圖其所繪示為習知積體電路內的輸出電路；

第2(a)至2(c)圖，其所繪示為習知位元訊號在輸出端狀態轉換時的波形變化示意圖；

第3圖(a)(b)其所繪示為本發明可降低同時切換輸出效應的輸出電路及其內部電路；

第4圖其所繪示為可調整延遲電路的一實施例；以及

第5(a)至5(c)圖其所繪示為本發明位元訊號輸出狀態轉換時的波形變化示意圖。



六、申請專利範圍

1. 一種可降低同時切換輸出效應的輸出電路，用以處理含有複數個位元訊號的一輸出資料，包括：
複數個輸出緩衝器，每一該輸出緩衝器包含一延遲單元、一上推單元與一下推單元，該延遲單元連接至該上推單元與該下推單元，且該上推單元與該下推單元串聯於一電源電壓與一接地電壓之間，而該上推單元與該下推單元所連接的一節點即為一輸出端，其中，每一該位元訊號可對應至該些輸出緩衝器其中之一，且連接至對應的該輸出緩衝器內的該延遲單元；以及
一比較電路，該比較電路接收該輸出資料並與上一筆輸出資料相比較，用以產生一延遲訊號輸出至該些輸出緩衝器內的該些延遲單元。
2. 如申請專利範圍第1項所述之可降低同時切換輸出效應的輸出電路，其中當一高準位切換至一低準位的位元訊號數目大於該低準位切換至該高準位的位元訊號數目時，延遲該低準位切換至該高準位的所有該些位元訊號在一上推延遲時間後輸出，且延遲該高準位切換至該低準位的所有該些位元訊號在一下推延遲時間後輸出，其中該上推延遲時間大於該下推延遲時間。
3. 如申請專利範圍第2項所述之可降低同時切換輸出效應的輸出電路，其中該上推延遲時間與該下推延遲時間係用以使得該些位元訊號中該低準位切換至該高準位的時間點約等於該高準位切換至該低準位的時間點。
4. 如申請專利範圍第2項所述之可降低同時切換輸出效應



六、申請專利範圍

的輸出電路，其中該上推延遲時間為一基本延遲時間加第一偏移時間，該下推延遲時間為該基本延遲時間減一第二偏移時間。

5. 如申請專利範圍第1項所述之可降低同時切換輸出效應的輸出電路，其中當一低準位切換至一高準位的位元訊號數目大於該高準位切換至該低準位的位元訊號數目時，延遲該高準位切換至該低準位的所有該些位元訊號在一下推延遲時間後輸出，且延遲該低準位切換至該高準位的所有該些位元訊號在一上推延遲時間後輸出，其中下推延遲時間大於該上推延遲時間。

6. 如申請專利範圍第5項所述之可降低同時切換輸出效應的輸出電路，其中該下推延遲時間與該上推延遲時間係用以使得該些位元訊號中該高準位切換至該低準位的時間點約等於該低準位切換至該高準位的時間點。

7. 如申請專利範圍第5項所述之可降低同時切換輸出效應的輸出電路，其中該下推延遲時間為該基本延遲時間加一第三偏移時間，該上推延遲時間為該基本延遲時間減一第四偏移時間。

8. 如申請專利範圍第1項所述之可降低同時切換輸出效應的輸出電路，其中該延遲單元包括：

一加減法器，電連接至該比較電路與輸出訊號中之相對應位元，其係將一預設值與該比較電路所產生之延遲訊號進行一運算得致一結果並輸出，而該運算係因應該比較電路所發出之一控制信號與輸出訊號中相對應位元之控制



六、申請專利範圍

而決定為加法或減法；以及

一可調整延遲電路，電連接於該加減法器與輸出訊號中之相對應位元，其係因應該加減法器所輸出之結果而決定其提供給輸出訊號中相對應位元之延遲時間之長短。

9. 如申請專利範圍第8項所述之可降低同時切換輸出效應的輸出電路，其中該控制信號係代表當輸出訊號中高準位切換至低準位的位元訊號數目大於或小於低準位切換至高準位的位元訊號數目之狀態。

10. 如申請專利範圍第8項所述之可降低同時切換輸出效應的輸出電路，其中該可調整延遲電路包含：

複數個串接的緩衝器，該輸出資料中之相對應位元係輸入至該些串接的緩衝器中第一個緩衝器的輸入端；以及

一多工器，電連接於該加減法器，其具有複數個輸入端，每一該輸入端可對應連接至串接的該些緩衝器的輸出端，且該等輸入端其中之一連接至該輸出訊號中之相對應位元，該加減法器所輸出之結果用以選擇該多工器的該些輸入端其中之一來輸出。

11. 一種降低同時切換輸出效應之輸出資料的控制方法，該輸出資料包括有複數個位元訊號，包括下列步驟：

比較該輸出資料與前一筆輸出資料；

當一高準位切換至一低準位的位元訊號數目大於該低準位切換至該高準位的位元訊號數目時，延遲該低準位切換至該高準位的所有該些位元訊號在一第一上推延遲時間後輸出，延遲該高準位切換至該低準位的所有該些位元訊



六、申請專利範圍

號在一第一下推延遲時間後輸出，其中該第一上推延遲時間大於該第一下推延遲時間；以及

當該低準位切換至該高準位的位元訊號數目大於該高準位切換至該低準位的位元訊號數目時，延遲該高準位切換至該低準位的所有該些位元訊號在一第二下推延遲時間後輸出，延遲該低準位切換至該高準位的所有該些位元訊號在一第二上推延遲時間後輸出，其中該第二下推延遲時間大於該第二上推延遲時間。

12. 如申請專利範圍第11項所述之可降低同時切換輸出效應的輸出電路，其中當第一上推延遲時間大於該第一下推延遲時間時，該第一上推延遲時間為一基本延遲時間加一第一偏移時間，該第一下推延遲時間為該基本延遲時間減一第二偏移時間。

13. 如申請專利範圍第11項所述之可降低同時切換輸出效應的輸出電路，其中當第二下推延遲時間大於該第二上推延遲時間時，該第二下推延遲時間為該基本延遲時間加一第三偏移時間，該第二上推延遲時間為該基本延遲時間減一第四偏移時間。

14. 如申請專利範圍第11項所述之降低同時切換輸出效應之輸出資料的控制方法，其中延遲該低準位切換至該高準位的所有該些位元訊號該第一或第二上推延遲時間後輸出與延遲該高準位切換至該低準位的所有該些位元訊號該第一或第二下推延遲時間後輸出，用以使得該些位元訊號中該低準位切換至該高準位的時間點約等於該高準位切換至



六、申請專利範圍

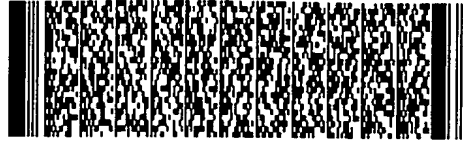
該低準位的時間點。



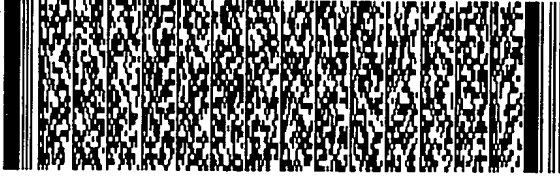
第 1/28 頁



第 2/28 頁



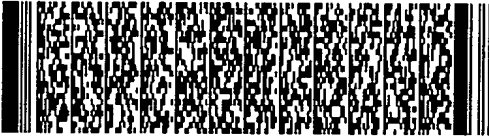
第 3/28 頁



第 3/28 頁



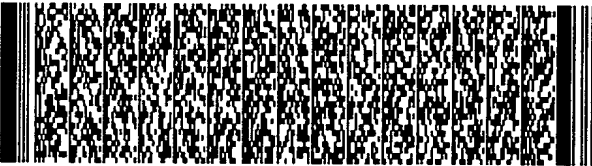
第 4/28 頁



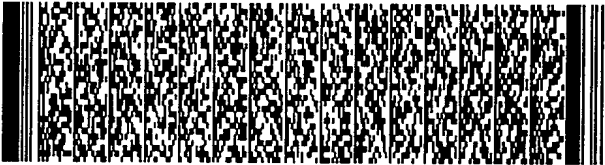
第 5/28 頁



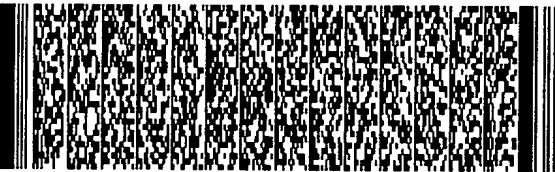
第 6/28 頁



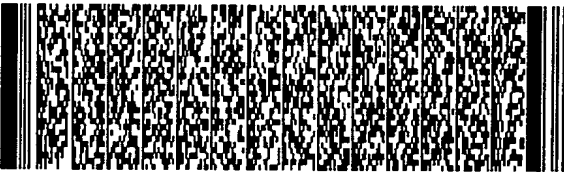
第 6/28 頁



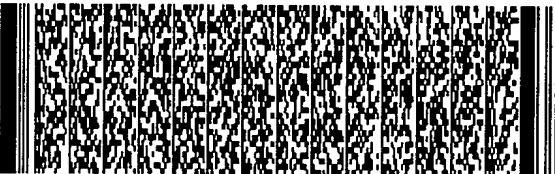
第 7/28 頁



第 7/28 頁



第 8/28 頁



第 8/28 頁



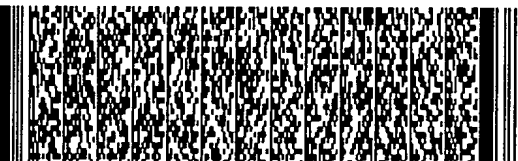
第 9/28 頁



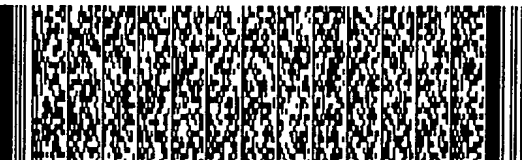
第 9/28 頁



第 10/28 頁

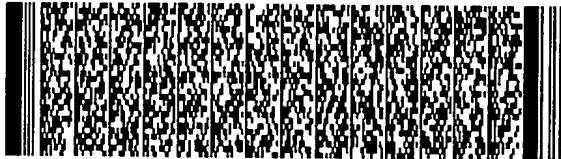


第 10/28 頁

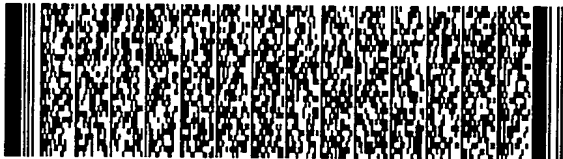


BEST AVAILABLE COPY

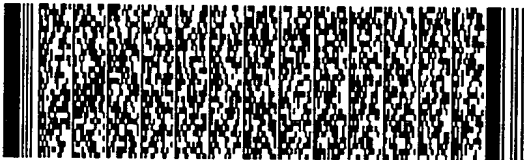
第 11/28 頁



第 11/28 頁



第 12/28 頁



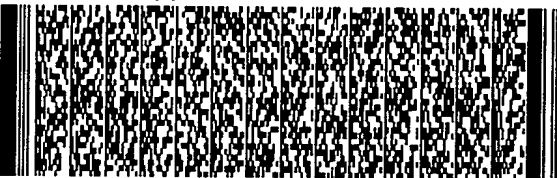
第 12/28 頁



第 13/28 頁



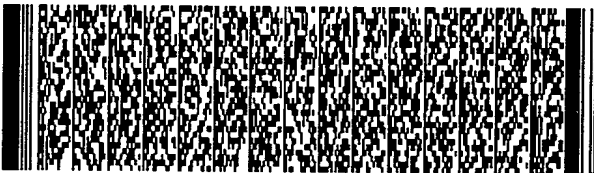
第 14/28 頁



第 14/28 頁



第 15/28 頁



第 15/28 頁



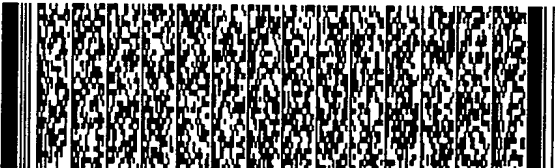
第 16/28 頁



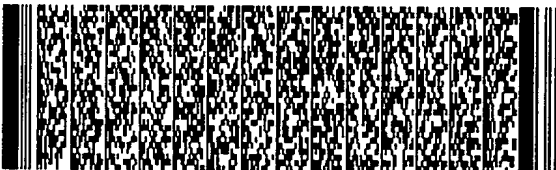
第 16/28 頁



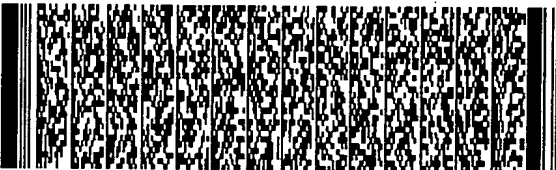
第 17/28 頁



第 17/28 頁



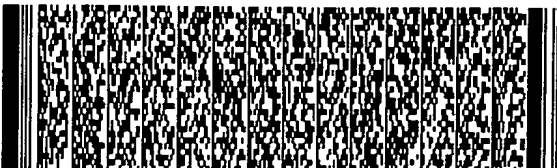
第 18/28 頁



第 18/28 頁

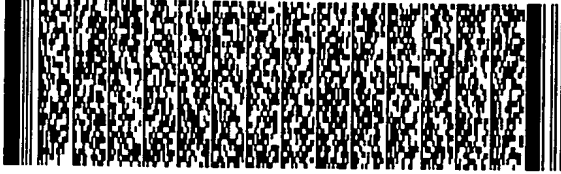


第 19/28 頁

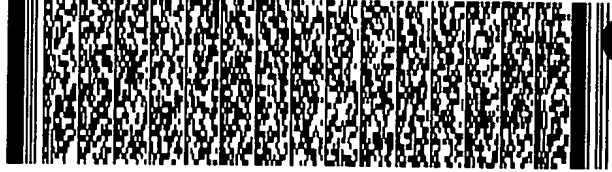


BEST AVAILABLE COPY

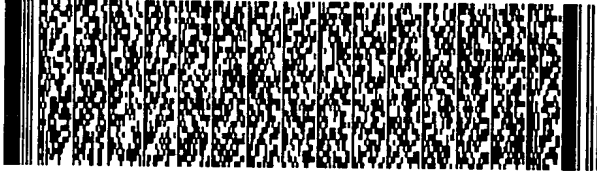
第 19/28 頁



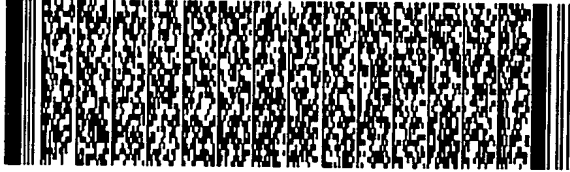
第 20/28 頁



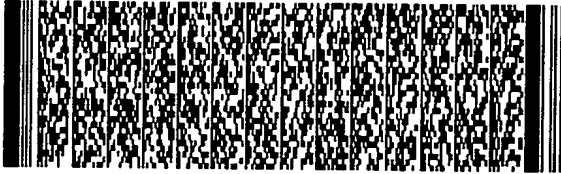
第 20/28 頁



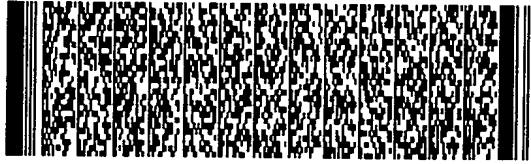
第 21/28 頁



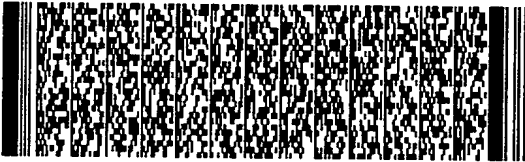
第 21/28 頁



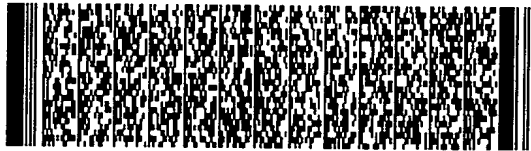
第 22/28 頁



第 22/28 頁



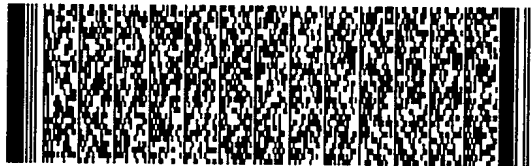
第 23/28 頁



第 24/28 頁



第 24/28 頁



第 25/28 頁



第 25/28 頁



第 26/28 頁



第 26/28 頁



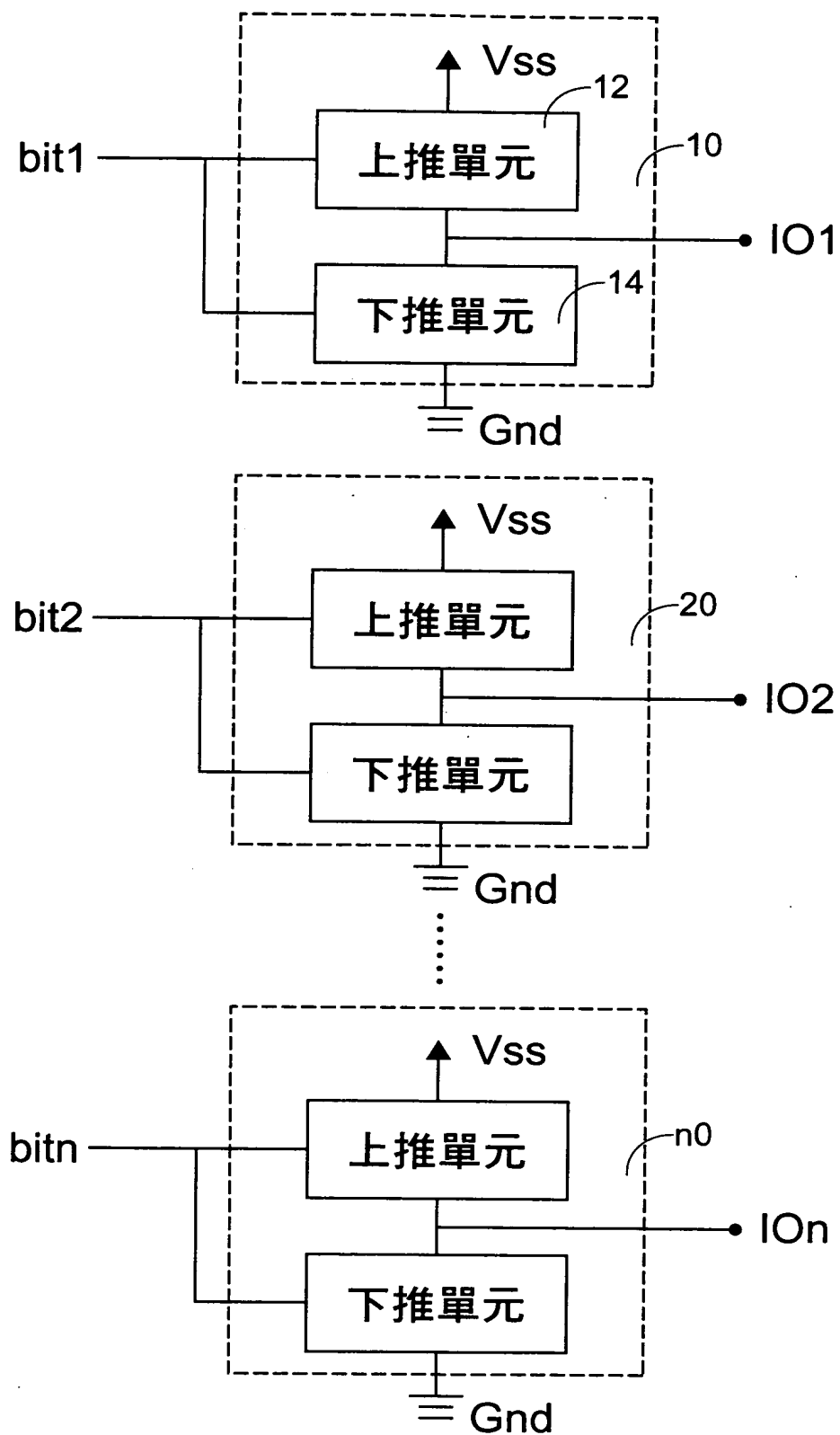
第 27/28 頁



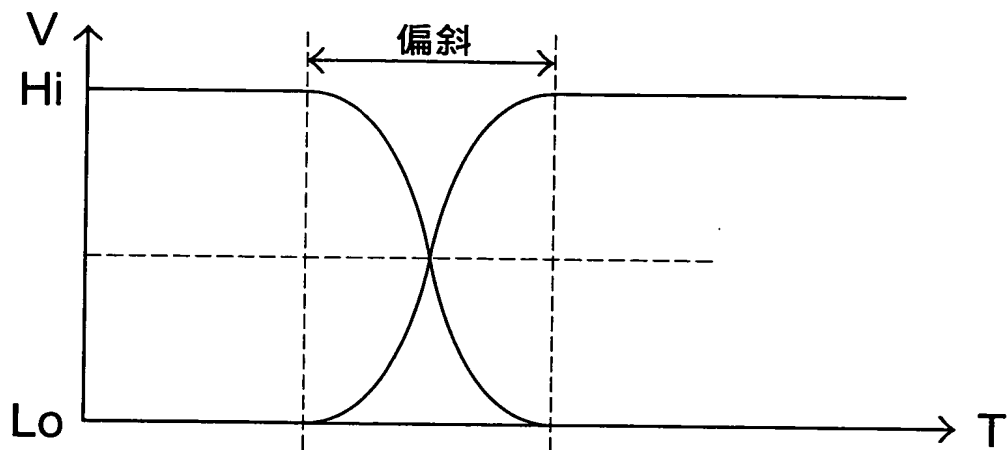
第 28/28 頁



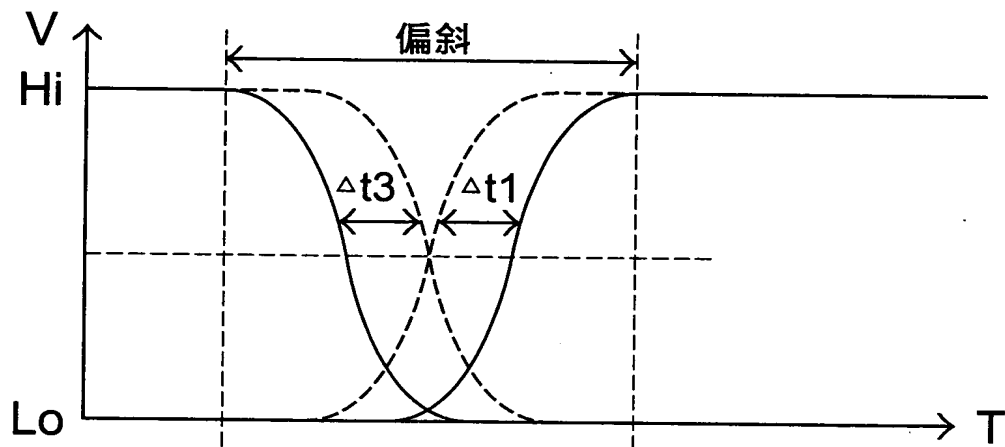
BEST AVAILABLE COPY



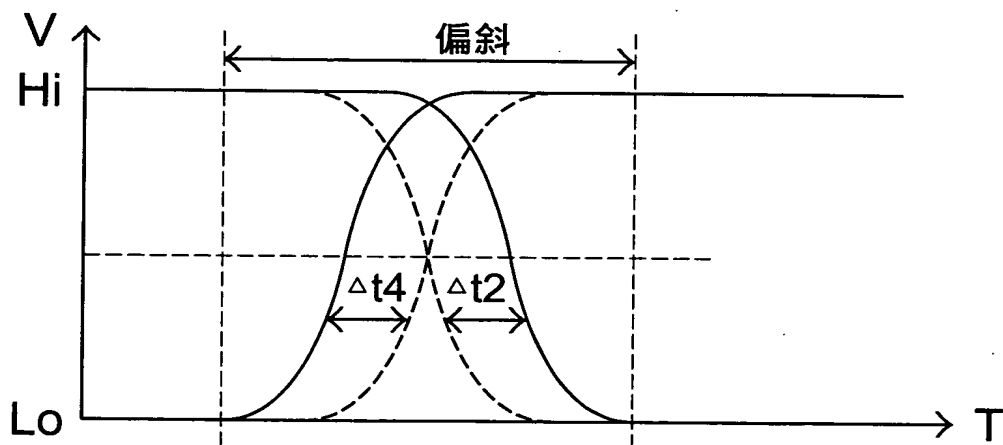
第一圖



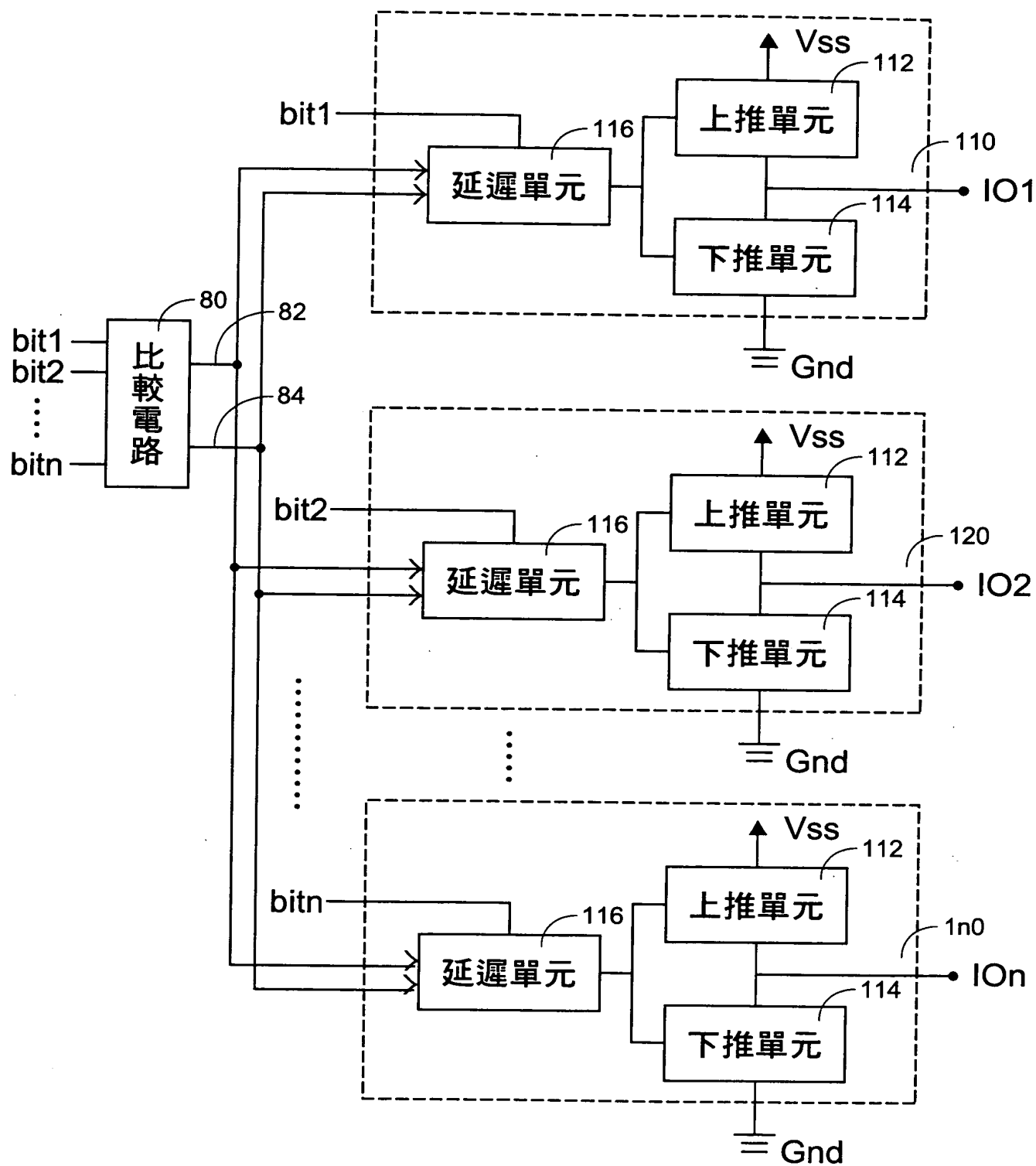
第二圖(a)



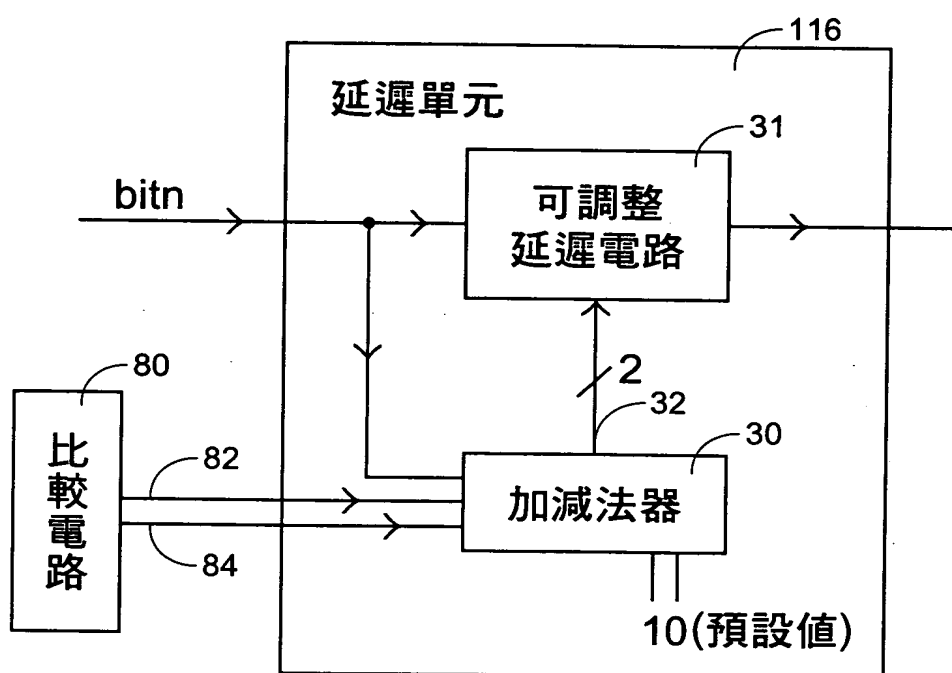
第二圖(b)



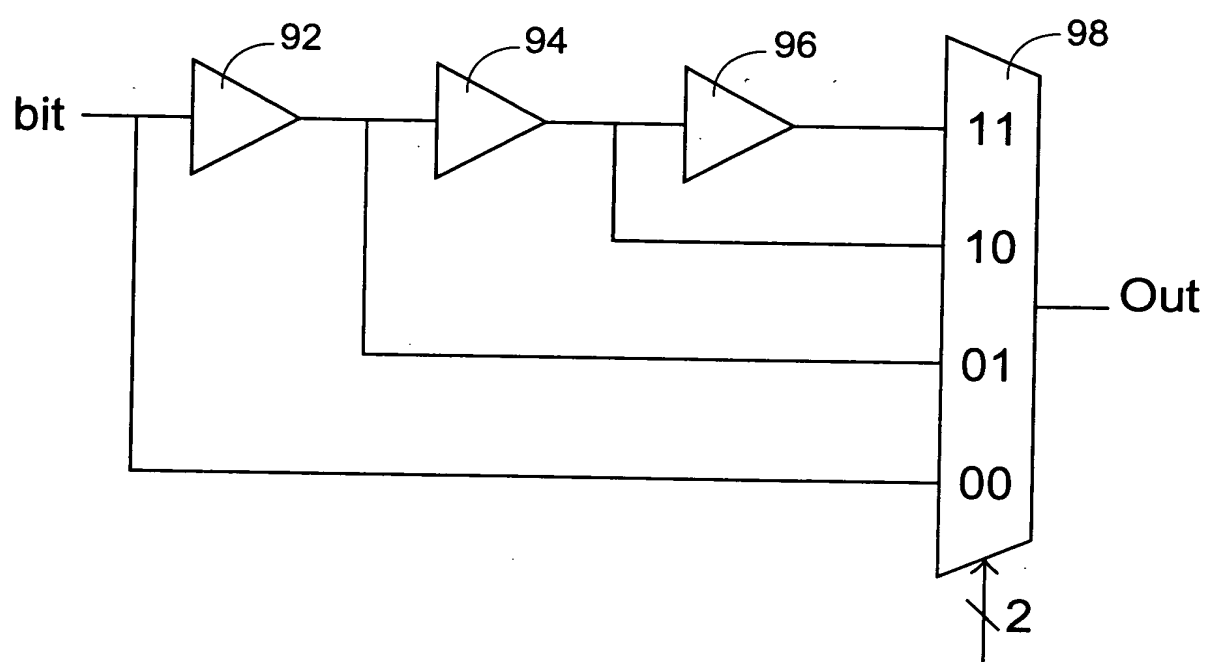
第二圖(c)



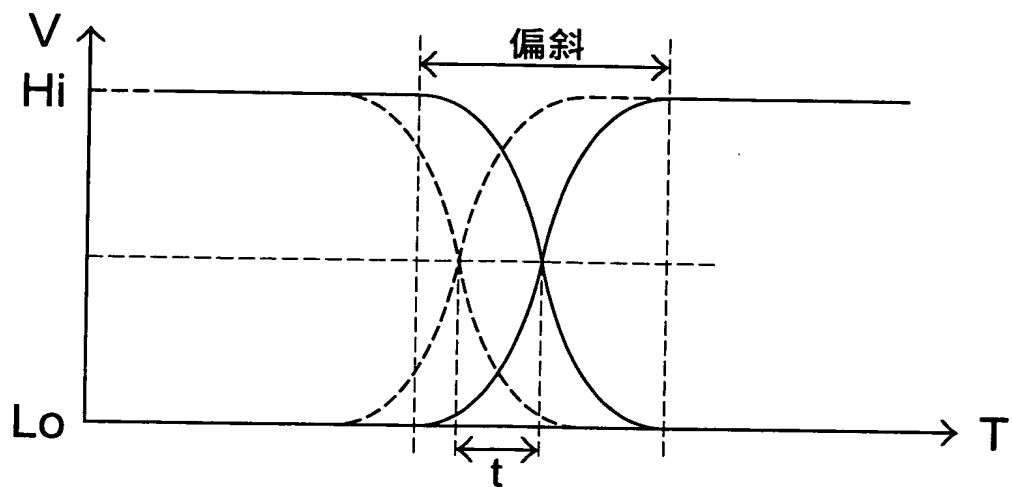
第三圖(a)



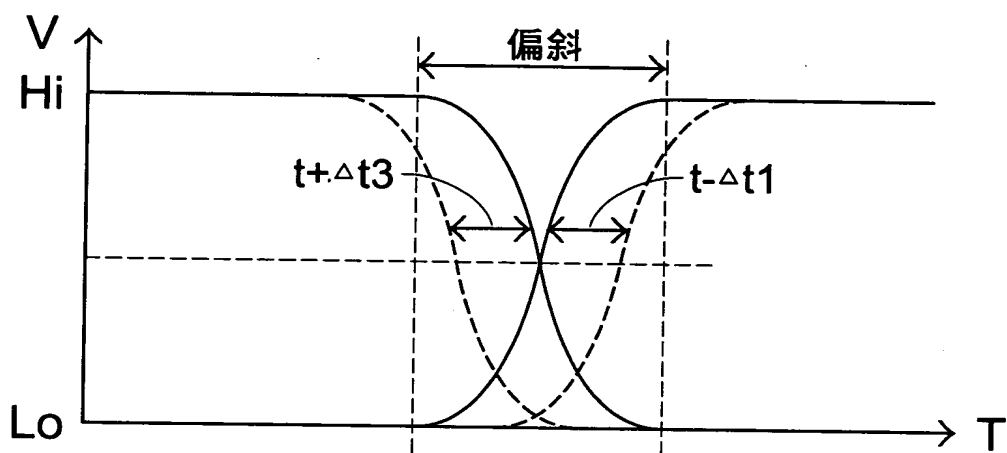
第三圖(b)



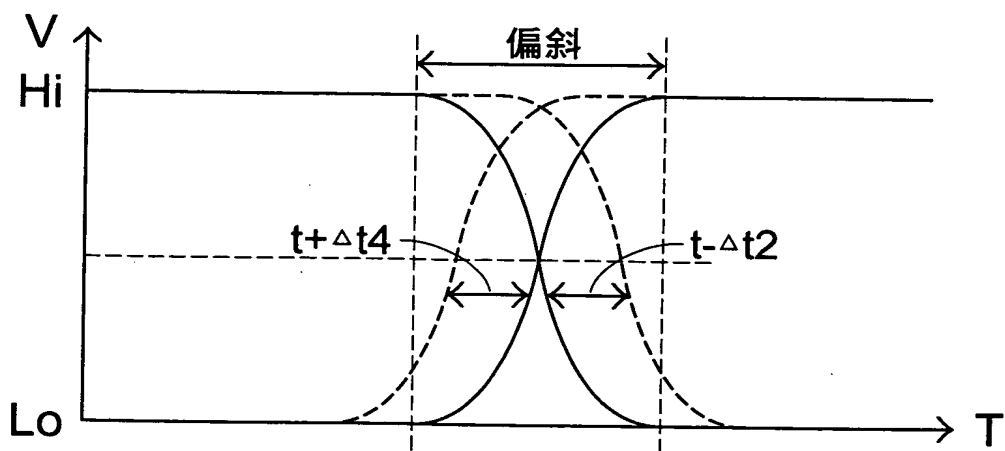
第四圖



第五圖(a)



第五圖(b)



第五圖(c)